

Y. Hashimoto

日本国特許庁 February 16, 2000  
PATENT OFFICE  
JAPANESE GOVERNMENT

Q 57919

1 of 1

09/505192  
jcc68 U.S. PRO  
02/16/00

別紙添付の書類に記載されている事項は下記の出願書類に記載される事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed in this Office.

出願年月日  
Date of Application:

1999年 2月16日

願番号  
Application Number:

平成11年特許願第037828号

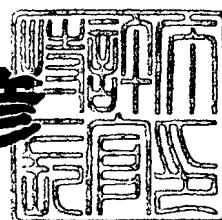
願人  
Applicant(s):

日本電気株式会社

1999年10月29日

特許庁長官  
Commissioner  
Patent Office

近藤 隆彦



出証番号 出証特平11-3074222

【書類名】 特許願

【整理番号】 72310114

【あて先】 特許庁長官 伊佐山 建志 殿

【国際特許分類】 G02F 1/133  
G09G 3/36

【発明の名称】 表示装置の駆動回路

【請求項の数】 10

【発明者】

【住所又は居所】 東京都港区芝五丁目7番1号 日本電気株式会社内

【氏名】 橋本 義春

【特許出願人】

【識別番号】 000004237

【氏名又は名称】 日本電気株式会社

【代表者】 金子 尚志

【代理人】

【識別番号】 100090158

【弁理士】

【氏名又は名称】 藤巻 正憲

【電話番号】 03-3433-4221

【手数料の表示】

【予納台帳番号】 009782

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9715181

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 表示装置の駆動回路

【特許請求の範囲】

【請求項1】 入力されたデジタル映像データに関連付けて複数の階調を表示する表示装置の駆動回路において、複数の電圧を発生する階調電圧発生回路と、前記デジタル映像データの最上位から1又は2以上のビットからなりビット数が前記デジタル映像データのそれより少ない上位ビットに関連付けて前記階調電圧発生回路から供給された複数の電圧から1の電圧を選択して出力する階調電圧選択回路と、この階調電圧選択回路から出力された電圧のインピーダンス変換を行う演算増幅器と、前記デジタル映像データの前記上位ビットを除いた下位ビットに関連付けて前記演算増幅器から出力された電圧に電圧上昇又は電圧降下を生じさせる電圧調整手段と、を有することを特徴とする表示装置の駆動回路。

【請求項2】 前記電圧調整手段は、前記演算増幅器の出力端に接続された抵抗と、この抵抗に接続された能動素子と、前記下位ビットに関連付けて前記能動素子の動作を制御する制御回路と、を有することを特徴とする請求項1に記載の表示装置の駆動回路。

【請求項3】 前記能動素子は、前記抵抗にドレインが接続されソースに電源電圧が供給され前記制御回路によりゲート電圧が制御される第1のトランジスタと、前記抵抗にドレインが接続され接地にソースが接続され前記制御回路によりゲート電圧が制御される第2のトランジスタと、を有することを特徴とする請求項1又は2に記載の表示装置の駆動回路。

【請求項4】 前記抵抗は、アナログスイッチであることを特徴とする請求項1乃至3のいずれか1項に記載の表示装置の駆動回路。

【請求項5】 隣接する階調間の電圧幅が等しくない場合、前記階調電圧選択回路は、前記デジタル映像データの全ビットに関連付けて前記階調電圧発生回路から供給された複数の電圧から1の電圧を選択して出力し、前記電圧調整手段は、前記演算増幅器から出力された電圧をそのまま出力することを特徴とする請求項1乃至4のいずれか1項に記載の表示装置の駆動回路。

【請求項6】 入力されたデジタル映像データに関連付けて複数の階調を表

示する表示装置の駆動回路において、複数の電圧を発生する階調電圧発生回路と、前記デジタル映像データの最上位から1又は2以上のビットからなりビット数が前記デジタル映像データのそれより少ない上位ビットに関連付けて前記階調電圧発生回路から供給された複数の電圧から2以上の電圧を選択して出力する階調電圧選択回路と、前記デジタル映像データの前記上位ビットを除いた下位ビットに関連付けて前記階調電圧選択回路から出力された2以上の電圧を分圧して1の電圧を出力する分圧手段と、この分圧手段から出力された電圧のインピーダンス変換を行う演算增幅器と、を有することを特徴とする表示装置の駆動回路。

【請求項7】隣接する階調間の電圧幅が等しくない場合、前記階調電圧選択回路は、前記デジタル映像データの全ビットに関連付けて前記階調電圧発生回路から供給された複数の電圧から1の電圧を選択して出力することを特徴とする請求項6に記載の表示装置の駆動回路。

【請求項8】前記階調電圧発生回路は、外部から電圧が入力される複数の入力端子と、これらの入力端子に入力された電圧をその数よりも多数の電圧に分圧する分圧手段と、を有することを特徴とする請求項1乃至7のいずれか1項に記載の表示装置の駆動回路。

【請求項9】前記階調電圧発生回路から出力される電圧は、正極性の電圧及び負極性の電圧であることを特徴とする請求項1乃至8のいずれか1項に記載の表示装置の駆動回路。

【請求項10】前記デジタル映像データのビット数をNとしたとき、前記上位ビットは、前記デジタル映像データの最上位から $(N-m)$ 個のビットからなり、前記下位ビットは、前記デジタル映像データの最下位からm個のビットからなることを特徴とする請求項1乃至9のいずれか1項に記載の表示装置の駆動回路。

#### 【発明の詳細な説明】

##### 【0001】

##### 【発明の属する技術分野】

本発明はTFT液晶表示装置等に使用される表示装置の駆動回路に関し、特に、多階調表示が可能な表示装置の駆動回路に関する。

## 【0002】

## 【従来の技術】

近時、液晶表示装置の開発が盛んに行われ、これに使用される駆動回路の開発も行われている。例えば、S. Saito及びK. Kitamura (NEC Corp., Kanagawa, Japan) により「Society for Information Display (SID) International symposium digest of technical papers, volume XXVI (1995年発行)」の257乃至260ページ目及びFig. 1に240出力6ビットデジタル映像データの駆動回路が記載されている。図11は上記の文献に記載された従来の表示装置の駆動回路を示すブロック図である。

## 【0003】

従来の駆動回路には、スタートパルス信号SP、スタートパルス信号の入出力方向を切替える切替信号R/L及びクロック信号CLKが入力される80ビットシフトレジスタ回路51が設けられている。なお、スタートパルス信号SPは、切替信号R/Lに基づいて端子SPR及びSPLのいずれか1方に入力され、他方から隣接する駆動回路に出力される。このシフトレジスタ回路51には、6ビット3出力分のデータD00乃至D05、D10乃至D15及びD20乃至D25が順次格納されるデータレジスタ回路52が接続されている。このデータレジスタ回路52には、ラッチ信号STBが入力されるデータラッチ回路53が接続されている。また、9値の階調電源電圧V0乃至V8を分圧して階調電圧を出力する階調電圧発生回路56が設けられており、データラッチ回路53から転送された映像データに関連付けて階調電圧発生回路56から出力された64階調値の階調電圧の中から1の階調電圧を選択して出力する階調電圧選択回路54が設けられている。階調電圧選択回路には、64個のROMデコーダが備えられている。更に、オペレーションアンプを内蔵し、階調電圧選択回路54から出力された信号のインピーダンス変換を行う増幅器55が設けられている。

## 【0004】

階調電圧発生回路56においては、外部から入力される9値の階調電源電圧が抵抗により分圧されて64値の階調電圧が生成されているが、このような分圧方法は、一般に「抵抗ストリング法」とよばれている。

## 【0005】

また、階調電圧選択回路54は、例えばエンハンスメント型トランジスタ及びディプレーション型トランジスタから構成されている。

## 【0006】

このように構成された従来の駆動回路においては、スタートパルス信号SPがシフトレジスタ回路51に入力されると、6ビット3出力分のデジタル映像データD00乃至D05、D10乃至D15及びD20乃至D25が順次データレジスタ回路52に格納される。

## 【0007】

次に、ラッチ信号STBがデータラッチ回路53に入力されると、データレジスタ回路52の内部に格納されていたデジタル映像データが一齊にデータラッチ回路53に転送され保持される。

## 【0008】

また、階調電圧発生回路56からは、階調電圧選択回路54に64値の階調電圧が供給されており、データラッチ回路53にデジタル映像データが転送されると、このデジタル映像データに関連付けて64値のうちから1の階調電圧が階調電圧選択回路54により選択されて出力される。

## 【0009】

そして、階調電圧選択回路54から出力された電圧は、増幅器55に内蔵されているオペレーションアンプによってインピーダンス変換され、液晶表示装置内の液晶に印加される。

## 【0010】

## 【発明が解決しようとする課題】

しかしながら、上述の従来の駆動回路によれば、6ビット（64階調）用の階調は問題を生じさせることなく実現可能であるが、それ以上の階調を実現する際には、以下のような種々の問題点がある。

## 【0011】

先ず、抵抗ストリング法では、階調数の増加に伴い、階調電圧選択回路54のチップサイズが著しく増加する。例えば、64階調用の駆動回路（ドライバ）で

は、1出力当たり64個のROMデコーダが階調電圧選択回路に必要とされるが、256階調用のドライバでは、256個もの64個の4倍のROMデコーダが必要とされるため、半導体集積回路で実現させるためには、素子面積が64階調用の4倍に増大し、著しくチップサイズが増大する。

#### 【0012】

また、64階調用の駆動回路では、階調電圧選択回路54にROMデコーダは64個あり、全デコーダの動作を確認する必要がある。また、256階調用の駆動回路においても同様に256個のデコーダの動作を確認する必要がある。このため、テスト時間も4倍になり、半導体集積回路の検査工程におけるテスト時間が増大し、テストコストが増大する。

#### 【0013】

本発明はかかる問題点に鑑みてなされたものであって、TFT液晶等の表示装置を多階調表示するためにデジタル映像データのビット数が増加しても素子数の低減によりチップサイズを縮小することができ、テストコストを低減することができる表示装置の駆動回路を提供することを目的とする。

#### 【0014】

##### 【課題を解決するための手段】

本発明に係る表示装置の駆動回路は、入力されたデジタル映像データに関連付けて複数の階調を表示する表示装置の駆動回路において、複数の電圧を発生する階調電圧発生回路と、前記デジタル映像データの最上位から1又は2以上のビットからなりビット数が前記デジタル映像データのそれより少ない上位ビットに関連付けて前記階調電圧発生回路から供給された複数の電圧から1の電圧を選択して出力する階調電圧選択回路と、この階調電圧選択回路から出力された電圧のインピーダンス変換を行う演算増幅器と、前記デジタル映像データの前記上位ビットを除いた下位ビットに関連付けて前記演算増幅器から出力された電圧に電圧上昇又は電圧降下を生じさせる電圧調整手段と、を有することを特徴とする。

#### 【0015】

本発明においては、階調電圧選択回路に供給される上位ビットはその最上位から1又は2以上のビットからなり、上位ビットのビット数はデジタル映像データ

のビット数より少ないので、デジタル映像データの全ビットが供給される場合と比してその素子数が低減される。また、電圧調節手段には下位ビットが供給されるため、そのための素子が必要となるが、その数は階調電圧選択回路において低減されるものと比して極めて小さいものである。従って、全体としてチップ面積が縮小されると共に、機能テストの回数が低減される。

【0016】

本発明においては、前記電圧調整手段は、前記演算增幅器の出力端に接続された抵抗と、この抵抗に接続された能動素子と、前記下位ビットに関連付けて前記能動素子の動作を制御する制御回路と、を有することができる。

【0017】

また、前記能動素子は、前記抵抗にドレインが接続されソースに電源電圧が供給され前記制御回路によりゲート電圧が制御される第1のトランジスタと、前記抵抗にドレインが接続され接地にソースが接続され前記制御回路によりゲート電圧が制御される第2のトランジスタと、を有することができる。

【0018】

更に、前記抵抗は、アナログスイッチであってもよい。

【0019】

更にまた、隣接する階調間の電圧幅が等しくない場合、前記階調電圧選択回路は、前記デジタル映像データの全ビットに関連付けて前記階調電圧発生回路から供給された複数の電圧から1の電圧を選択して出力し、前記電圧調整手段は、前記演算增幅器から出力された電圧をそのまま出力することができる。

【0020】

本発明に係る他の表示装置の駆動回路は、入力されたデジタル映像データに関連付けて複数の階調を表示する表示装置の駆動回路において、複数の電圧を発生する階調電圧発生回路と、前記デジタル映像データの最上位から1又は2以上のビットからなりビット数が前記デジタル映像データのそれより少ない上位ビットに関連付けて前記階調電圧発生回路から供給された複数の電圧から2以上の電圧を選択して出力する階調電圧選択回路と、前記デジタル映像データの前記上位ビットを除いた下位ビットに関連付けて前記階調電圧選択回路から出力された2以

上の電圧を分圧して1の電圧を出力する分圧手段と、この分圧手段から出力された電圧のインピーダンス変換を行う演算増幅器と、を有することを特徴とする。

【0021】

なお、隣接する階調間の電圧幅が等しくない場合、前記階調電圧選択回路は、前記デジタル映像データの全ビットに関連付けて前記階調電圧発生回路から供給された複数の電圧から1の電圧を選択して出力することができる。

【0022】

また、前記階調電圧発生回路は、外部から電圧が入力される複数の入力端子と、これらの入力端子に入力された電圧をその数よりも多数の電圧に分圧する分圧手段と、を有してもよい。

【0023】

更に、前記階調電圧発生回路から出力される電圧は、正極性の電圧及び負極性の電圧であってもよい。

【0024】

更にまた、前記デジタル映像データのビット数をNとしたとき、前記上位ビットは、前記デジタル映像データの最上位から $(N-m)$ 個のビットからなり、前記下位ビットは、前記デジタル映像データの最下位からm個のビットからなってもよい。

【0025】

【発明の実施の形態】

以下、本発明の実施例に係る表示装置の駆動回路について、添付の図面を参照して具体的に説明する。本発明の第1の実施例には、8ビットのデジタル映像データが入力される。図1は本発明の第1の実施例に係る駆動回路を示すブロック図である。

【0026】

第1の実施例には、スタートパルス信号S P及びクロック信号C L Kが入力されクロック信号C L Kに同期してシフトするシフトレジスタ回路1が設けられている。また、デジタル映像データD 0 0乃至D 0 7、D 1 0乃至D 1 7及びD 2 0乃至D 2 7を一時的に格納するデータバッファ回路4及びこれらのデータが格

納されるデータレジスタ回路2が設けられている。データレジスタ回路2には、16個のレジスタ2aが設けられている。更に、デジタル映像データをラッチするデータラッチ回路3及びこのデータラッチ回路3の動作を制御するラッチ制御回路5が設けられている。このラッチ制御回路5には、ラッチ信号STB及び極性信号POLが入力される。

#### 【0027】

なお、図1において、データバッファ回路4から伸びデータレジスタ回路2に接続されていない信号線は、隣接するデータレジスタ回路（図示せず）に接続されている。

#### 【0028】

また、10階調値の階調電源電圧V0乃至V9を分圧して正極性及び負極性の2種の128値の階調電圧を出力する階調電圧発生回路6が設けられている。そして、データラッチ回路3から転送されたデジタル映像データの上位7ビットに関連付けて階調電圧発生回路6から出力された128階調の階調電圧の中から1の階調電圧を選択して出力する第1階調電圧選択回路7及び第2階調電圧選択回路8が設けられている。なお、第1階調電圧選択回路7には、正極性の階調電圧が入力され、第2階調電圧選択回路8には、負極性の階調電圧が入力される。更に、オペレーションアンプを内蔵し第1階調電圧選択回路7及び第2階調電圧選択回路8から出力された信号のインピーダンス変換を行う第1出力回路9及び第2出力回路10が設けられている。なお、第1階調電圧選択回路7及び第2階調電圧選択回路8と第1出力回路9及び第2出力回路10との間には、それらの接続を選択するためのアナログスイッチが設けられている。第1出力回路9及び第2出力回路10には、ラッチ制御回路5からラッチ制御信号STB及び極性信号POLが入力されると共に、データラッチ回路3からデジタル映像データの最下位ビットが入力される。

#### 【0029】

図2は階調電圧発生回路6を示す回路図である。階調電圧発生回路6においては、127個の抵抗+R1、+R2、+R3、…、+R125、+R126、+R127が相互に直列に接続され、127個の抵抗-R1、-R2、-R3

、 . . . 、 - R 1 2 5 、 - R 1 2 6 、 - R 1 2 7 が相互に直列に接続されている。正極性の階調電圧に関しては、階調電源電圧 V X 0 が抵抗 + R 1 側の末端に入力され、この末端から階調電圧 + V 0 が出力される。また、階調電源電圧 V X 4 が抵抗 + R 1 2 7 側の末端に入力され、この末端から階調電圧 + V 2 5 4 が出力される。また、各抵抗間の接続点から階調電圧 + V 2 乃至 + V 2 5 2 が抵抗 + R 1 側から順に夫々出力される。なお、階調電源電圧 V X 1 乃至 V X 3 は、抵抗 + R 1 と抵抗 + R 1 2 7 との間の任意の抵抗間の接続点に入力される。

#### 【0030】

負極性の階調電圧に関しては、階調電源電圧 V X 5 が抵抗 - R 1 2 7 側の末端に入力され、この末端から階調電圧 - V 2 5 4 が出力される。また、階調電源電圧 V X 9 が抵抗 - R 1 側の末端に入力され、この末端から階調電圧 - V 0 が出力される。また、各抵抗間の接続点から階調電圧 - V 2 乃至 - V 2 5 2 が抵抗 - R 1 側から順に夫々出力される。なお、階調電源電圧 V X 6 乃至 V X 8 は、抵抗 - R 1 と抵抗 - R 1 2 7 との間の任意の抵抗間の接続点に入力される。

#### 【0031】

このように構成された階調電圧発生回路 6 においては、階調電源電圧 V X 0 乃至 V X 4 が抵抗 + R 1 乃至 + R 1 2 7 により分圧され、128個の正極性の階調電圧 + V 0 乃至 + V 2 5 4 が出力される。同様に、階調電源電圧 V X 5 乃至 V X 9 が抵抗 - R 1 乃至 - R 1 2 7 により分圧され、128個の負極性の階調電圧 - V 0 乃至 - V 2 5 4 が出力される。従って、 $128 \times 2$  値の階調電圧が発生されることになる。そして、128値の正極性の階調電圧が第1階調電圧選択回路 7 に供給され、128値の負極性の階調電圧が第2階調電圧選択回路 8 に供給される。

#### 【0032】

図3 (a) は第1階調電圧選択回路 7 を示す回路図であり、図3 (b) は第2階調電圧選択回路 8 を示す回路図である。第1階調電圧選択回路 7 においては、その出力端に128個のスイッチ + SW 0 乃至 + SW 1 2 7 が相互に並列に接続されている。各スイッチ + SW 0 乃至 + SW 1 2 7 に夫々階調電圧 + V 0 乃至 + V 2 5 4 が入力される。そして、これらのスイッチ + SW 0 乃至 + SW 1 2 7 の

うち1のスイッチがデジタル映像データの上位7ビットに基づいてオンされ、1の階調電圧が選択されて出力される。つまり、128階調値のなかから1階調値の電圧値が選択されて出力される。また、第2階調電圧選択回路8においては、その出力端に128個のスイッチャーSW0乃至-SW127が相互に並列に接続されている。各スイッチャーSW0乃至-SW127に夫々階調電圧-V0乃至-V254が入力される。そして、これらのスイッチャーSW0乃至-SW127のうち1のスイッチがデジタル映像データの上位7ビットに基づいてオンされ、1の階調電圧が選択されて出力される。つまり、128階調値のなかから1階調値の電圧値が選択されて出力される。

#### 【0033】

図4は階調電圧選択回路におけるスイッチの構成を示す回路図である。階調電圧選択回路には、例えば128行14列からなるアレイ状にトランジスタが配列される。なお、図4において、トランジスタのチャネル部分に楕円が描かれているものはデプレッション型のトランジスタであり、楕円が描かれていないものはエンハンスマント型のトランジスタである。例えば、図中の左から14列目においては、デプレッション型トランジスタとエンハンスマント型トランジスタとが1個ずつ交互に配置され、13列目においては、14列目のものとデプレッション型トランジスタ及びエンハンスマント型トランジスタが入れ替わったものとなっている。また、図中の左から12列目においては、デプレッション型トランジスタとエンハンスマント型トランジスタとが2個ずつ交互に配置され、11列目においては、12列目のものとデプレッション型トランジスタ及びエンハンスマント型トランジスタが入れ替わったものとなっている。そして、デプレッション型トランジスタ及びエンハンスマント型トランジスタは、左から10列目では4個ずつ交互に配置され、8列目では8個ずつ交互に配置され、6列目では16個ずつ交互に配置され、4列目では32個ずつ交互に配置され、2列目では64個ずつ配置されている。また、左から奇数列目においては、その右側に位置する偶数列目のものとデプレッション型トランジスタ及びエンハンスマント型トランジスタが入れ替わったものとなっている。

#### 【0034】

また、偶数列目に位置するトランジスタのゲートには、夫々インバータ I V 1 乃至 I V 7 が接続されており、これらのインバータ I V 1 乃至 I V 7 を介して奇数列目に位置するトランジスタのゲートとデータラッチ回路 3 に接続されている。そして、7組の奇数列及び偶数列対に夫々1ビットのデジタル映像データが入力される。

## 【0035】

階調電圧選択回路におけるスイッチをこのようなROM型デコーダで構成するとチップサイズを極めて小さいものとすることが可能である。

## 【0036】

なお、液晶共通電圧に対して高位側の電圧を出力する場合には、Pチャネルエンハンスマント型トランジスタ及びPチャネルディプレーション型トランジスタによりROM型デコーダが構成され、液晶共通電圧に対して低位側の電圧を出力する場合には、Nチャネルエンハンスマント型トランジスタ及びNチャネルディプレーション型トランジスタによりROM型デコーダが構成される。本実施例においては、前者が第1階調電圧選択回路7に該当し、後者が第2階調電圧選択回路8に該当する。

## 【0037】

図5は出力回路9及び10を示すブロック図である。出力回路9及び10には、階調電圧選択回路からの出力信号を増幅しインピーダンス変換するオペレーションアンプ（演算増幅器）11が設けられている。このオペレーションアンプ11と表示装置に接続される出力端子との間には、アナログスイッチ等の抵抗12が接続されている。また、この抵抗12と出力端子との間にドレインが接続されたトランジスタM1及びM2が設けられている。トランジスタM1のソースには電源電圧VDDが供給されており、トランジスタM2のソースは接地GNDに接続されている。更に、トランジスタM1及びM2のゲートに接続されたLSB制御回路13が設けられている。LSB制御回路13には、デジタル映像データの最下位ビット（1ビット）、極性信号POL及びラッチ信号STBが入力される。トランジスタM1及びM2並びにLSB制御回路13から出力オフセット制御回路14が構成されている。

## 【0038】

このように構成された出力回路は、デジタル映像データの最下位ビットにより制御される。そして、デジタル映像データの上位7ビットによって選択された電圧が、そのままの電圧で出力されるか、又はオフセット電圧を加えられて出力される。

## 【0039】

即ち、デジタル映像データの最下位ビットに関連付けてトランジスタM1及びM2のオン／オフがLSB制御回路13により切替えられる。そして、トランジスタM1及びM2が両方ともオフ状態のときには、オペレーショナルアンプ11からの出力電圧がそのまま出力端子から表示装置に印加されるが、トランジスタM1又はM2がオン状態のときには、そのオン状態となっているトランジスタM1又はM2を流れる定常電流Imが発生する。このときのアナログスイッチ等の抵抗R2の抵抗値をRmとすると、電圧降下により $\Delta V = Im \times Rm$ のオフセット電圧が発生し、この電圧がオペレーショナルアンプ11からの出力電圧に加えられて出力端子から表示装置に印加される。なお、この $\Delta V$ が液晶の中間調領域（図7のII領域）の1階調分となるように、定常電流Im及びアナログ抵抗Rmは設定されている。

## 【0040】

次に、このように構成された第1の実施例に係る駆動回路の動作について説明する。

## 【0041】

スタートパルス信号SPがシフトレジスタ回路1に入力されると、データバッファ回路4に格納されていたデジタル映像データ8ビット3出力のデジタル映像データD00乃至D07、D10乃至D17及びD20乃至D27が順次データレジスタ回路2に格納される。

## 【0042】

次に、ラッチ信号STBがラッチ制御回路5からデータラッチ回路3に入力されると、データレジスタ回路2の内部に格納されていたデジタル映像データが一齊にデータラッチ回路3に転送され保持される。

## 【0043】

また、階調電圧発生回路6からは、10階調値の階調電源電圧VX0乃至VX9が分圧されて128階調値の階調電圧が第1階調電圧選択回路7及び第2階調電圧選択回路8に供給されている。そして、データラッチ回路3にデジタル映像データが転送されると、このデジタル映像データの上位7ビットに関連付けて第1階調電圧選択回路7により正極性の128階調値の中から1階調値が選択されて出力される。同様に、第2階調電圧選択回路8により負極性の128階調値の中から1階調値が選択されて出力される。

## 【0044】

そして、TFT液晶をドット反転駆動させる場合には、極性信号POLが0（ロウ）のとき、第1出力回路9に第2階調電圧選択回路8からの負極性の電圧が入力され、第2出力回路10に第1階調電圧選択回路7からの正極性の電圧が入力される。一方、極性信号POLが1（ハイ）のときには、第1出力回路9に第1階調電圧選択回路7からの正極性の電圧が入力され、第2出力回路10に第2階調電圧選択回路8からの負極性の電圧が入力される。

## 【0045】

図6は第1の実施例における第1出力回路9の動作を示すフローチャートである。第1出力回路9においては、最下位ビットLSBが0（ロウ）のときは、極性信号POLに依存することなくトランジスタM1及びM2は両方ともオフ状態となる。このとき、アナログスイッチ等の抵抗12における電圧降下は、定常的な電流が流れないと発生しないので、オペレーションアンプ11からの出力電圧がそのまま出力端子から表示装置に印加される。

## 【0046】

一方、最下位データLSBが1（ハイ）のときには、極性信号POLによってトランジスタM1及びM2のいずれか1方がオン状態となる。具体的には、極性信号POLが0（ロウ）となると、第2階調電圧選択回路8からの負極性側の電圧が第1出力回路9のオペレーションアンプ11に印加されると共に、トランジスタM1がオン状態となり、トランジスタM2はオフ状態のままである。従って、トランジスタM1には定常電流Im1が定常的に流れ、トランジスタM1の

ソースには電源電圧VDDが供給されているので、抵抗12において $\Delta V_n = I_{m1} \times R_m$ の電圧上昇が発生する。

## 【0047】

その後、最下位データ LSB が 1 (ハイ) のまま、極性信号POLが 1 (ハイ) となると、第1階調電圧選択回路7からの正極性側の電圧が第1出力回路9のオペレーショナルアンプ11に印加されると共に、トランジスタM1がオフ状態となり、トランジスタM2がオン状態となる。従って、トランジスタM2には定常電流 $I_{m2}$ が定常的に流れ、トランジスタM2のソースは接地GNDに接続されているので、抵抗12において $\Delta V_p = I_{m2} \times R_m$ の電圧降下が発生する。

## 【0048】

以上は第1出力回路9の動作であるが、第2出力回路10は第1出力回路9の動作に対し逆の動作を行う。例えば、最下位データ LSB が 1 (ハイ) のときに極性信号POLが 0 (ロウ) となると、第1階調電圧選択回路7からの正極性側の電圧が第2出力回路10のオペレーショナルアンプ11に印加されると共に、トランジスタM2がオン状態となり、トランジスタM1はオフ状態のままである。従って、トランジスタM2には定常電流 $I_{m2}$ が定常的に流れ、トランジスタM2のソースは接地GNDに接続されているので、抵抗12において $\Delta V_p = I_{m2} \times R_m$ の電圧降下が発生する。

## 【0049】

このようにして、第1階調電圧選択回路7及び第2階調電圧選択回路8から出力された電圧は、出力回路9及び10に内蔵されているオペレーショナルアンプ11によってインピーダンス変換され、液晶表示装置内の液晶に印加される。

## 【0050】

従って、第1出力回路9からは、極性信号POLが 0 (ロウ) のときに負極性の電圧が出力され、極性信号POLが 1 (ハイ) のときに正極性の電圧が出力される。一方、第2の出力回路10からは、極性信号POLが 0 (ロウ) のときに正極性の電圧が出力され、極性信号POLが 1 (ハイ) のときに負極性の電圧が出力される。下記表1にデジタル映像データと出力電圧との関係を示す。

## 【0051】

【表1】

階調数	映像データ	正極性	負極性
0	0 0	+V 0	-V 0
1	0 1	+V 0 - $\Delta V_P$	-V 0 + $\Delta V_N$
2	0 2	+V 2	-V 2
3	0 3	+V 2 - $\Delta V_P$	-V 2 + $\Delta V_N$
:	:	:	:
:	:	:	:
126	7 E	+V 126	-V 126
127	7 F	+V 126 - $\Delta V_P$	-V 126 + $\Delta V_N$
128	8 0	+V 128	-V 128
129	8 1	+V 128 - $\Delta V_P$	-V 128 + $\Delta V_N$
:	:	:	:
:	:	:	:
252	F C	+V 252	-V 252
253	F D	+V 252 - $\Delta V_P$	-V 252 + $\Delta V_N$
254	F E	+V 254	-V 254
255	F F	+V 254 - $\Delta V_P$	-V 254 + $\Delta V_N$

【0052】

図7は横軸に出力電圧をとり、縦軸に透過率をとって両者の関係を示すグラフ図である。また、図8 (a) は横軸に階調数をとり、縦軸に出力電圧をとって液晶表示装置に白色又は黒色が表示されるときの階調数と出力電圧との関係を示すグラフ図であり、図8 (b) は横軸に階調数をとり、縦軸に出力電圧をとって液晶表示装置に中間色（灰色）が表示されるときの階調数と出力電圧との関係を示すグラフ図である。

【0053】

図7に示すように、透過率は出力電圧の上昇に伴って減少する。また、表1並びに図8 (a) 及び (b) に示すように、階調数が相違していれば、出力電圧も

相違する。従って、本実施例のように、デジタル映像データを上位7ビットと下位1ビットに分割し、上位7ビットを抵抗ストリング方式、下位1ビットをオフセット方式とすることにより、表示装置の多階調表示が可能になる。

#### 【0054】

このように、本実施例によれば、デジタル映像データの上位7ビットを抵抗ストリング方式、下位1ビットをオフセット方式としているので、上位7ビットにより制御される階調電圧選択回路7及び8内の素子数は、 $2 \times 7 \times 128 = 1792$ 個で済む。また、下位1ビットにより制御されるLSB制御回路13の素子数は少なくとも30個あれば十分である。一方、従来の8ビットの抵抗ストリング方式では、1出力当たり階調電圧選択回路には、 $2 \times 8 \times 256 = 4096$ 個の素子が必要である。従って、階調電圧選択回路のみを比較した場合には、2304個の素子が低減され、LSB制御回路13の素子数を考慮しても、全体で2274個の素子が低減される。これにより、大幅な素子数の低減が実現され、チップサイズの縮小化が可能となる。

#### 【0055】

また、従来の8ビットの抵抗ストリング方式では、256個のROMデコーダの動作を確認する必要があるため、256回の機能テストが必要とされる。これに対し、上位7ビットを抵抗ストリング方式、下位1ビットをオフセット方式とした本実施例においては、階調電圧選択回路について128個のROMデコーダの動作を確認すればよいので、128回の機能テストが必要とされる。また、下位1ビットのオフセット方式の確認は3回で済むため、少なくとも131回の機能テストを実施すればよい。このように、本実施例によれば、テスト回数の激減が可能であるため、テストコストを著しく低減することができる。

#### 【0056】

なお、抵抗12には、アナログスイッチだけでなく、他の拡散抵抗及び多結晶シリコン抵抗等を使用することもできる。

#### 【0057】

次に、本発明の第2の実施例について説明する。図9は本発明の第2の実施例に係る駆動回路を示すブロック図である。なお、図9に示す第2の実施例におい

て、図1に示す第1の実施例と同一の構成要素には、同一の符号を付してその詳細な説明は省略する。

#### 【0058】

第2の実施例には、正極性用の第1階調電圧選択回路7に接続されたオペレーショナルアンプ（演算増幅器）21及び負極性用の第2階調電圧選択回路8に接続されたオペレーショナルアンプ（演算増幅器）22が設けられている。更に、オペレーショナルアンプ21及び22の出力端には、アナログスイッチを介して出力オフセット制御回路23及び24が接続されている。この出力オフセット回路23及び24は、第1実施例における出力オフセット回路14と同様の構成を有する。そして、その先にTFT液晶表示パネル等の表示装置に接続される出力端子が設けられている。

#### 【0059】

このように構成された第2の実施例においては、第1階調電圧選択回路7及び第2階調電圧選択回路8と出力オフセット制御回路23及び24との接続を切替えるアナログスイッチが、第1の実施例において出力回路内に設けられた抵抗12と同様に機能する。即ち、このアナログスイッチによる電圧上昇及び電圧降下を利用して階調が調節される。このため、第1の実施例では、抵抗12の構造は抵抗成分となりうればどのようなものでもよいが、第2の実施例ではアナログスイッチがなければ、ドット反転駆動は行われないことになる。

#### 【0060】

このように、第1の実施例では、出力電圧にオフセットを生じさせるために専用の拡散抵抗又はポリシリコン抵抗等が必要であるが、第2の実施例には、オペレーショナルアンプ21及び22の出力端にアナログスイッチが接続されてているので、そのような専用の抵抗は不要である。このため、第2の実施例においては、第1の実施例と比して回路の簡素化が可能となる。

#### 【0061】

次に、本発明の第3の実施例について説明する。第3の実施例は、ライン反転用の駆動回路である。図10は本発明の第3の実施例に係る駆動回路を示すブロック図である。なお、図10に示す第3の実施例において、図1に示す第1の実

施例と同一の構成要素には、同一の符号を付してその詳細な説明は省略する。

#### 【0062】

第3の実施例には、デジタル映像データをラッチするデータラッチ回路36及びこのデータラッチ回路36の動作を制御するラッチ制御回路37が設けられている。本実施例はライン反転用であり、極性信号は不要であるため、このラッチ制御回路37には、ラッチ信号STBのみが入力される。

#### 【0063】

また、9階調値の階調電源電圧V0乃至V8を分圧して正極性又は負極性のいずれかの128値の階調電圧を出力する階調電圧発生回路35が設けられている。その構成は、図2に示す第1の実施例における階調電圧発生回路6と同様のものであるが、正極性用又は負極性用のいずれか1方の抵抗ストリングが設けられている。そして、この階調電圧発生回路35から128値の階調電圧が発生される。

#### 【0064】

更に、データラッチ回路36から転送されたデジタル映像データに関連付けて階調電圧発生回路35から出力された128階調の階調電圧の中から1の階調電圧を選択して出力する第1階調電圧選択回路31及び第2階調電圧選択回路32が設けられている。第1階調電圧選択回路31及び第2階調電圧選択回路32には、Pチャネル型トランジスタ及びNチャネル型トランジスタから構成されるトランスファゲート型のアナログスイッチが配置されている。

#### 【0065】

そして、第1階調電圧選択回路31から出力された電圧のインピーダンス変換を行う第1出力回路33及び第2階調電圧選択回路32から出力された信号のインピーダンス変換を行う第2出力回路34が設けられている。第1出力回路33及び第2出力回路34の構成は、第1の実施例における出力回路と同様の構成を有するが、その内部のLSB制御回路には、デジタル映像データの最下位ビットLSB及びラッチ信号STBのみが入力される。

#### 【0066】

このように構成された第3の実施例においては、階調電圧選択回路31及び3

2により正極及び負極の区別なく両極性とも選択可能であるので、TFT液晶パネルがライン反転駆動される。

#### 【0067】

なお、第1乃至第3の実施例においては、全ての出力電圧に関して抵抗ストリング法に出力電圧にオフセットを生じさせる方法が採用されているが、図8(a)に示すように、図7の領域I及びIIIにおいてオフセットによる十分な効果が得られにくい。

#### 【0068】

そこで、領域I及びIIIにおいては、8ビットの抵抗ストリング法のみを採用し、領域IIにおいて抵抗ストリング法に出力電圧にオフセットを生じさせる方法を採用することが好ましい。具体的には、0階調から31階調までの階調(領域I)及び224階調から255階調までの階調(領域III)において8ビットの抵抗ストリング法のみを採用する。また、32階調から223階調までの階調(領域II)において7ビットの抵抗ストリング法に最下位ビットに関連付けてオフセットを生じさせる方法を採用する。

#### 【0069】

このように出力電圧を調節するには、例えば、図1において階調電圧発生回路からの出力信号を160(128+32)値とし、データラッチ回路から出力される最下位ビットが階調電圧選択回路にも入力されるようにし、データラッチ回路内にデジタル映像データに関連付けて8ビットの最下位ビットをハイ又はロウに固定する手段を設ければよい。

#### 【0070】

また、電圧の調整を行う方法は、前述のオペレーションアンプから出力された電圧にオフセットを生じさせる方法に限定されるものではない。例えば、階調電圧選択回路とオペレーションアンプとの間にスイッチキャパシタを設けるC-DAC法を採用することも可能である。この場合にも、デジタル映像データに応じて抵抗ストリング法のみを採用するような構成とすることができます。

#### 【0071】

##### 【発明の効果】

以上詳述したように、本発明によれば、階調電圧選択回路に供給される上位ビットのビット数がデジタル映像データのビット数より少ないので、デジタル映像データの全ビットが供給される場合と比して、その素子数を低減することができる。また、電圧調節手段には下位ビットが供給されるため、そのための素子が必要となるが、その数は階調電圧選択回路において低減されるものと比して極めて小さいものである。従って、全体としてチップ面積を縮小することができ、また、機能テストの回数の低減によりテストコストを低減することができる。

【0072】

更に、前記デジタル映像データが予め設定されたものと一致する場合には、抵抗ストリング法のみを採用するような構成とすることにより、より一層適切な階調を表示させることができる。

【図面の簡単な説明】

【図1】

本発明の第1の実施例に係る駆動回路を示すブロック図である。

【図2】

階調電圧発生回路6を示す回路図である。

【図3】

(a) は第1階調電圧選択回路7を示す回路図であり、図3(b) は第2階調電圧選択回路8を示す回路図である。

【図4】

階調電圧選択回路におけるスイッチの構成を示す回路図である。

【図5】

出力回路9及び10を示すブロック図である。

【図6】

第1の実施例における第1出力回路9の動作を示すフローチャートである。

【図7】

出力電圧と透過率との関係を示すグラフ図である。

【図8】

(a) は液晶表示装置に白色又は黒色が表示されるときの階調数と出力電圧と

の関係を示すグラフ図であり、(b)は液晶表示装置に中間色(灰色)が表示されるときの階調数と出力電圧との関係を示すグラフ図である。

【図9】

本発明の第2の実施例に係る駆動回路を示すブロック図である。

【図10】

本発明の第3の実施例に係る駆動回路を示すブロック図である。

【図11】

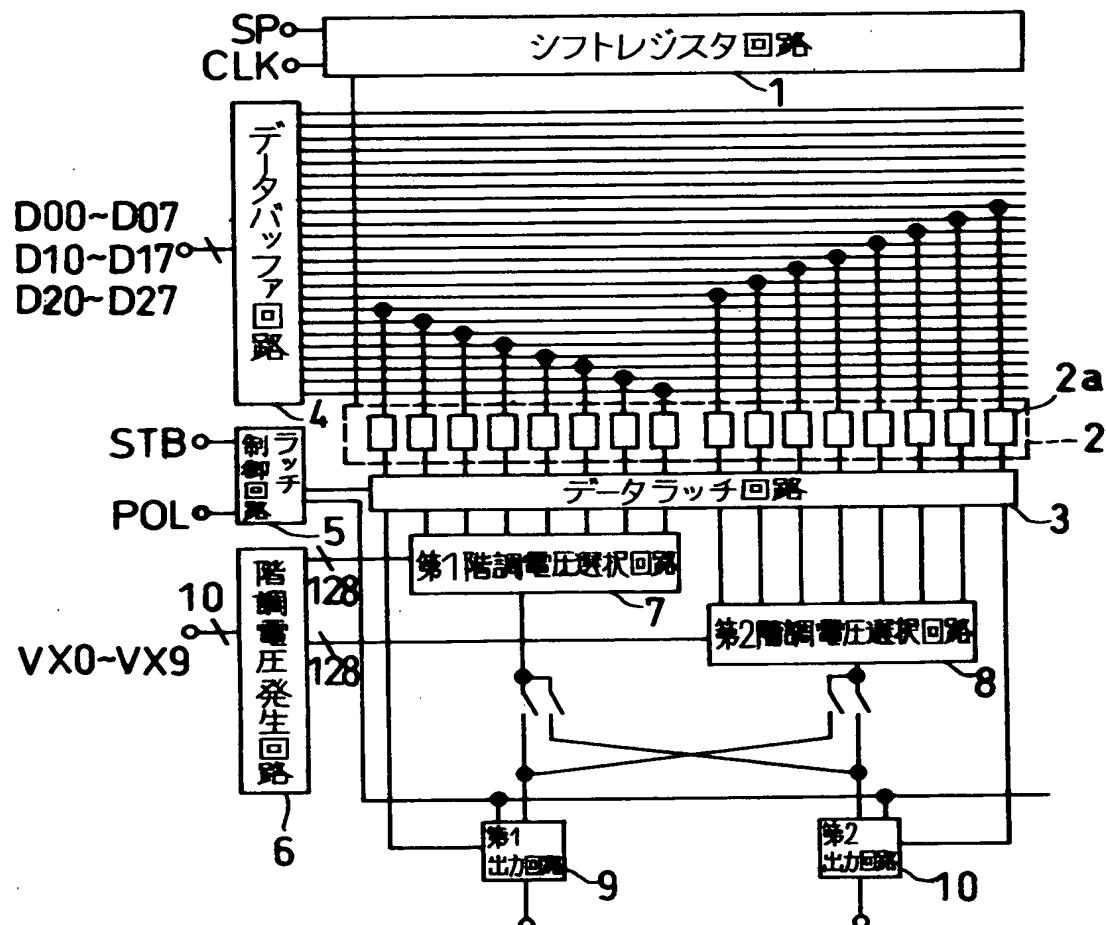
従来の表示装置の駆動回路を示すブロック図である。

【符号の説明】

- 1、51；シフトレジスタ回路
- 2、52；データレジスタ回路
- 3、36、53；データラッチ回路
- 4；データバッファ回路
- 5、37；ラッチ制御回路
- 6、56；階調電圧発生回路
- 7、8、31、32、54；階調電圧選択回路
- 9、10、33、34；出力回路
- 11、21、22；オペレーションアンプ
- 12；抵抗
- 13； LSB制御回路
- 14、23、24；出力オフセット制御回路
- 55；増幅器

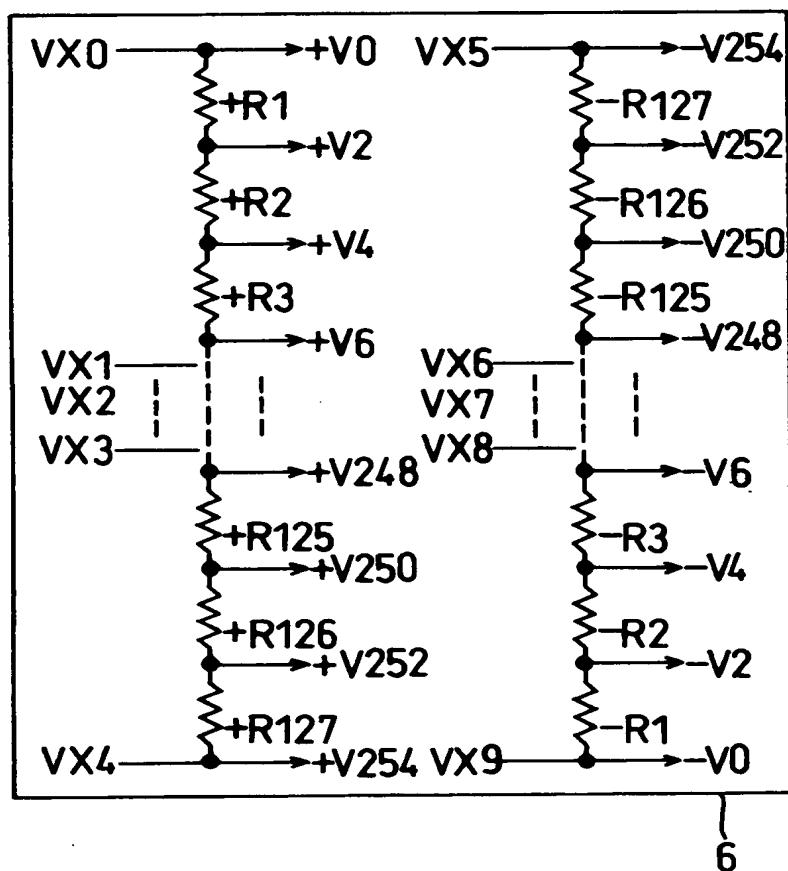
【書類名】 図面

【図1】



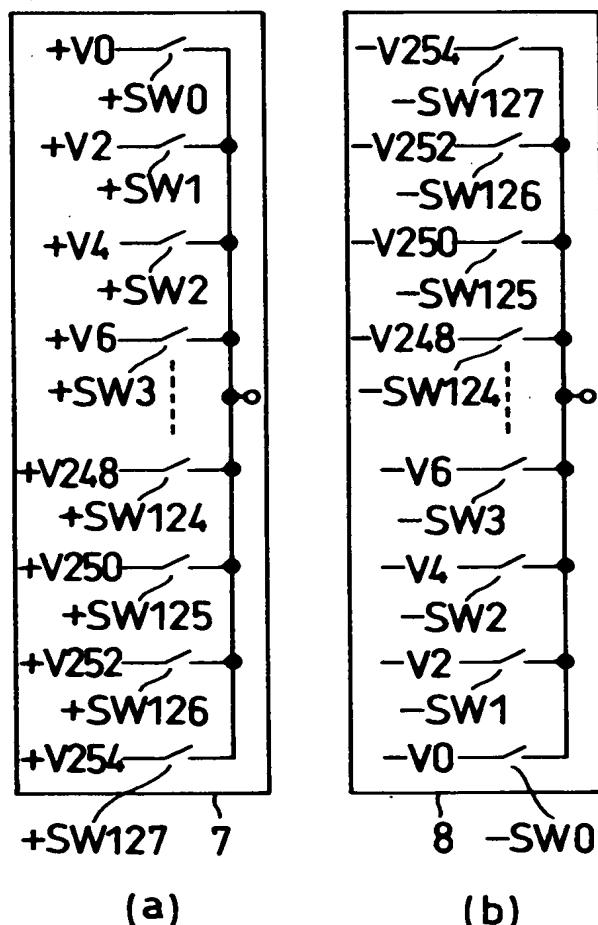
2: データレジスタ回路

【図2】



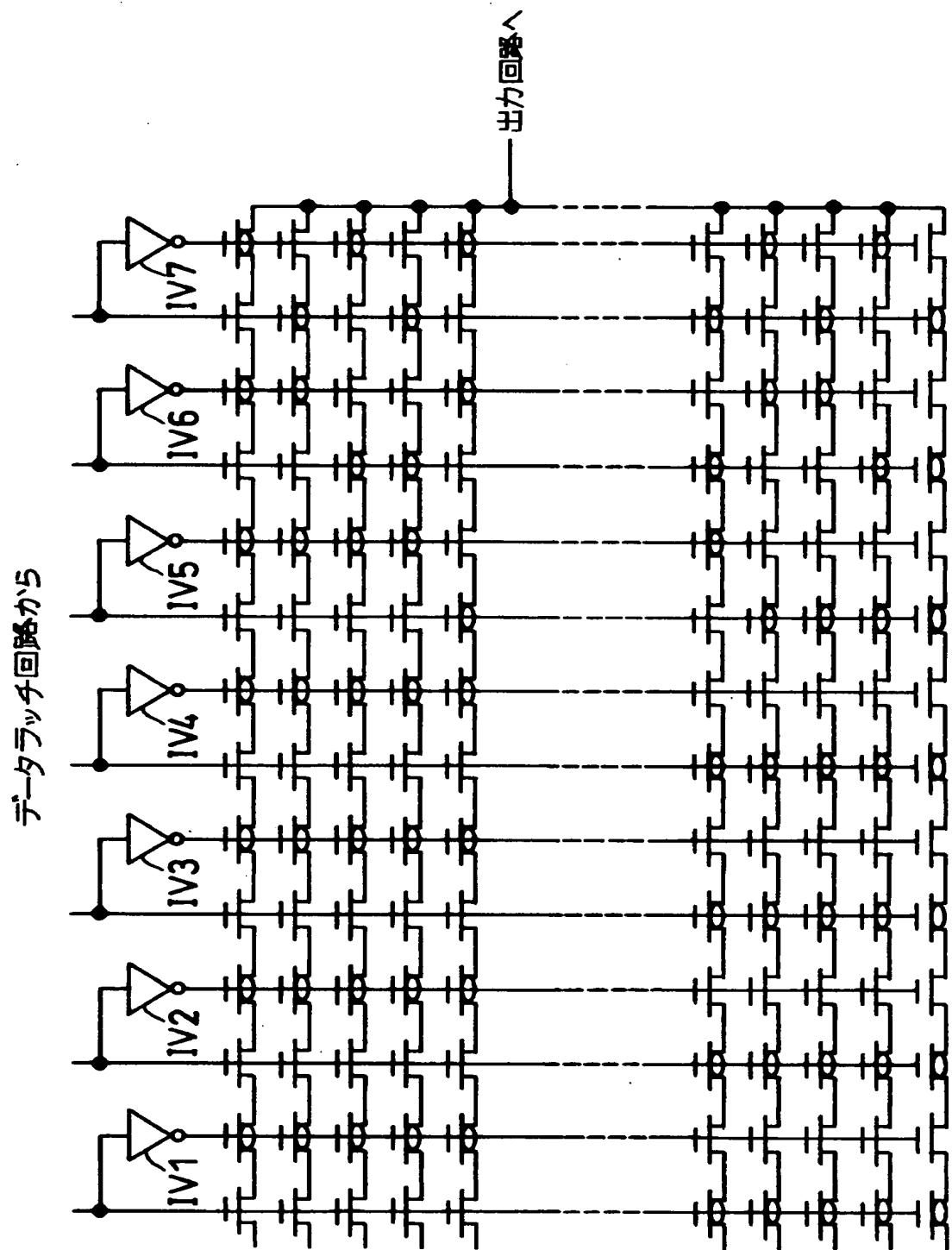
6: 階調電圧発生回路

【図3】

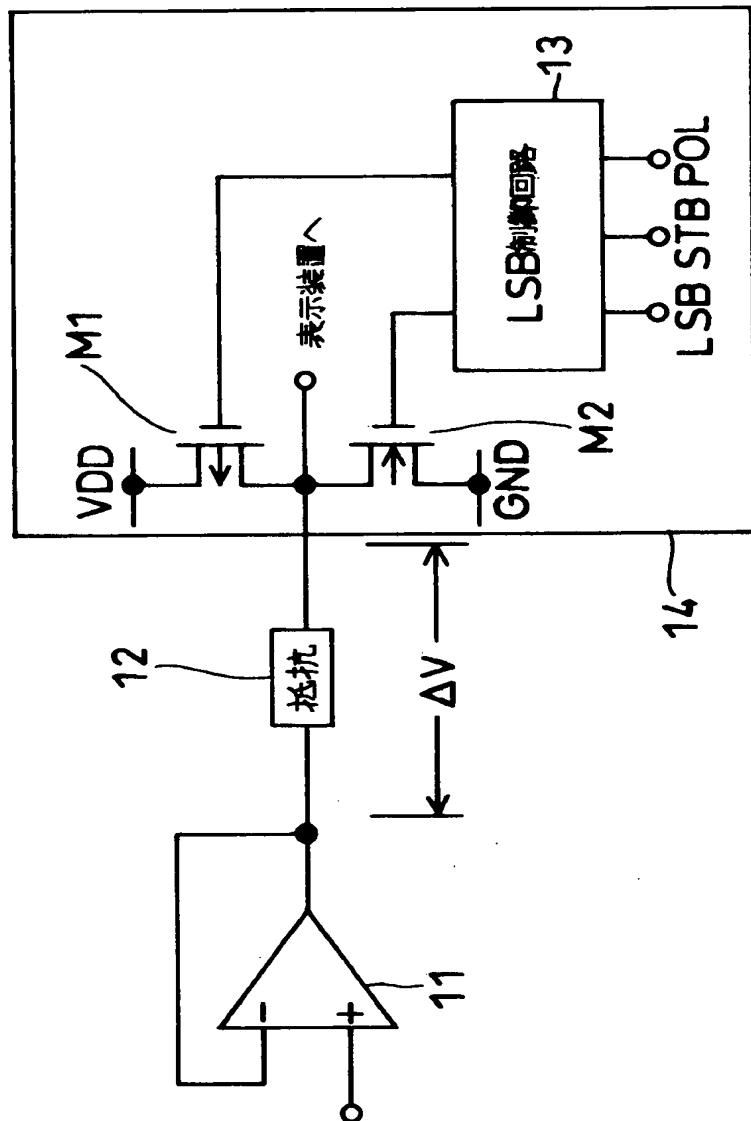


7、8：階調電圧選択回路

【図4】

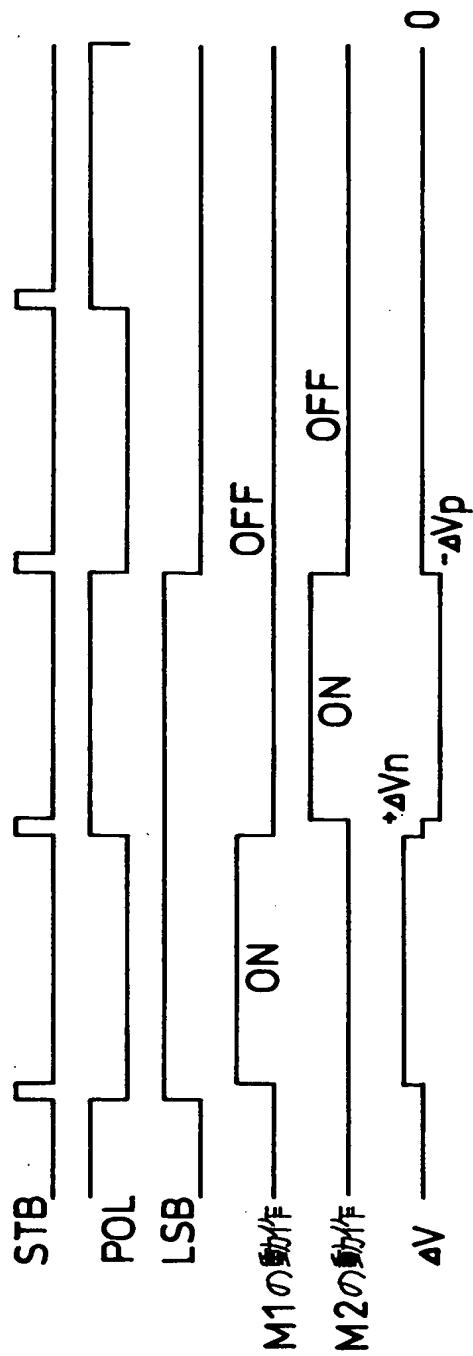


【図5】

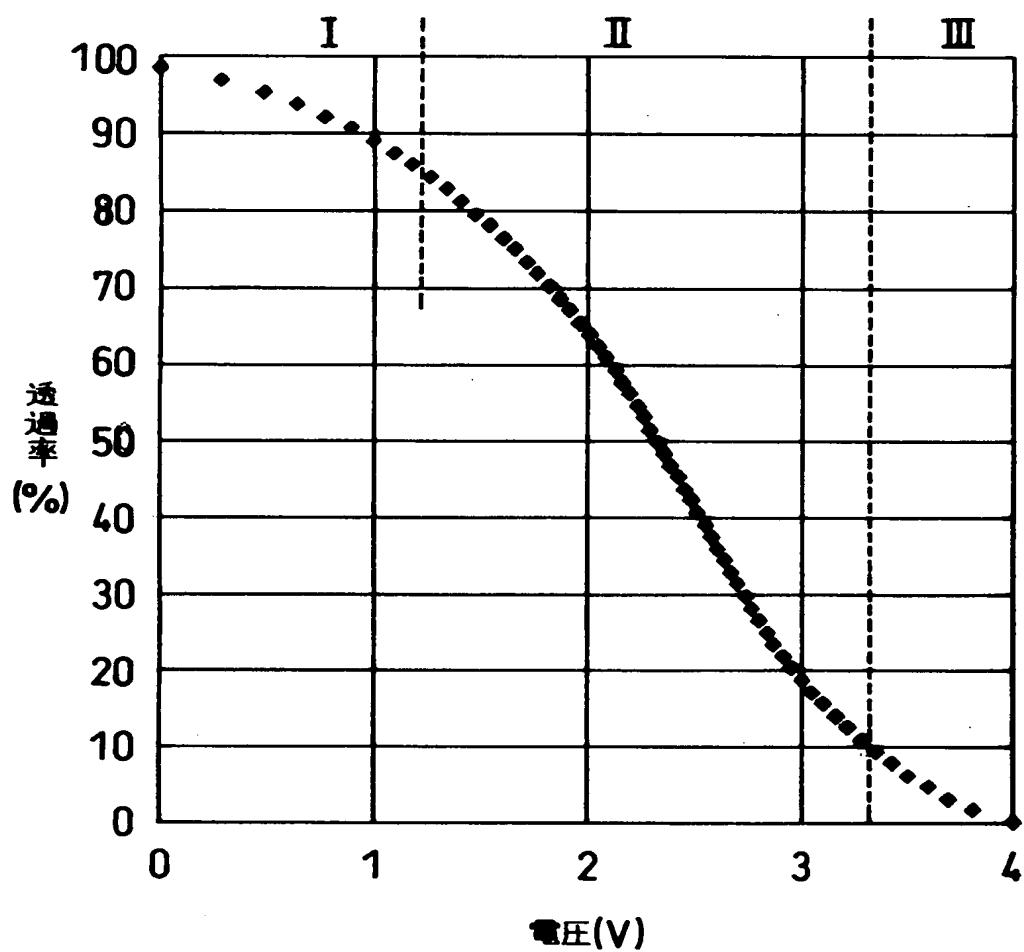


14: 出力オフセット制御回路

【図6】

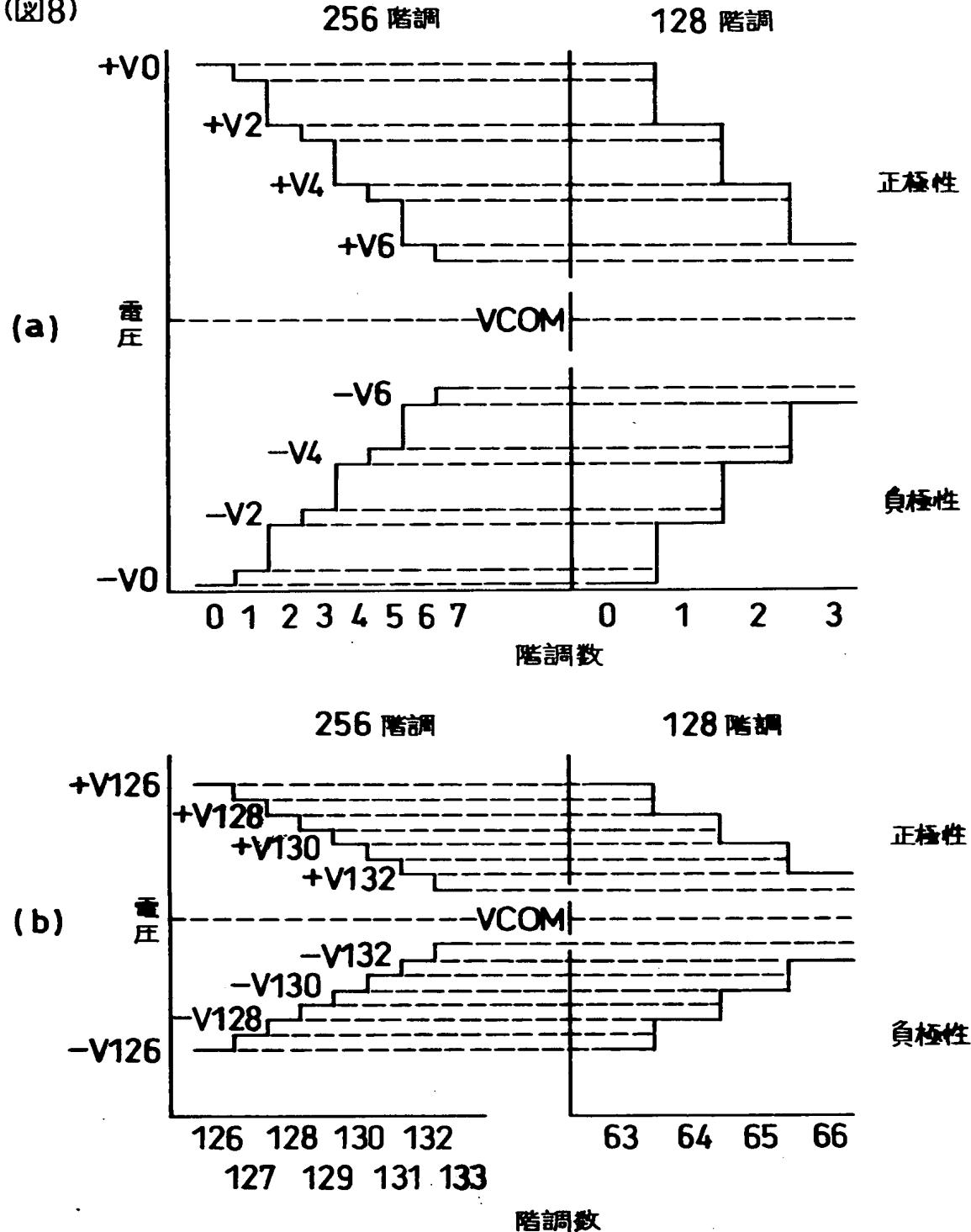


【図7】

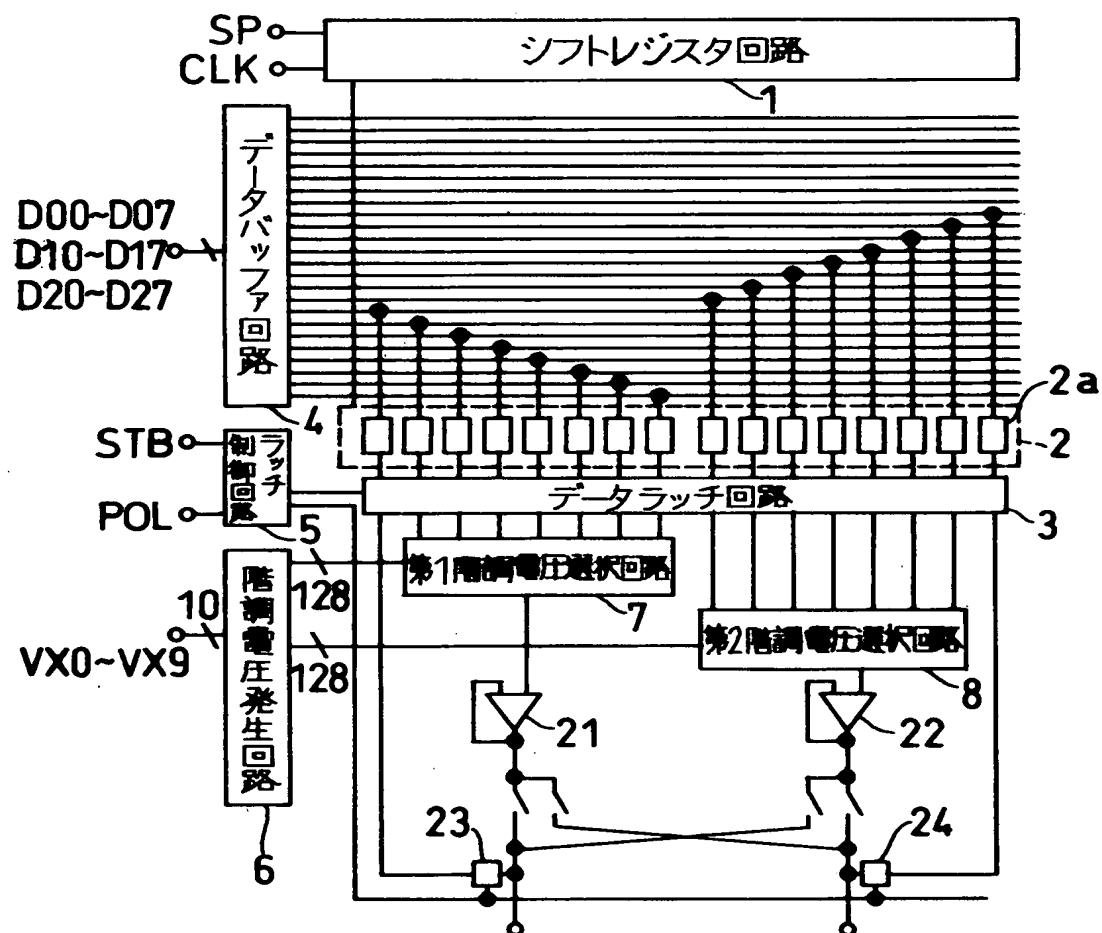


【図8】

(図8)

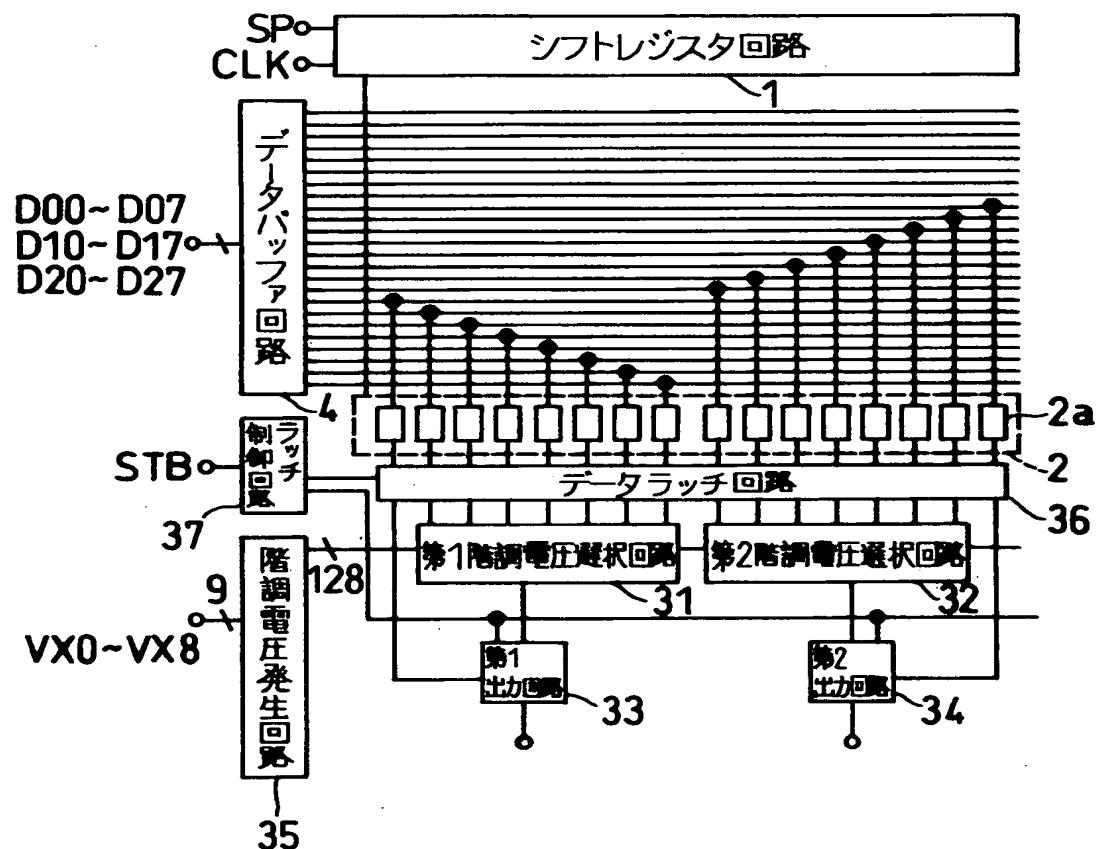


【図9】

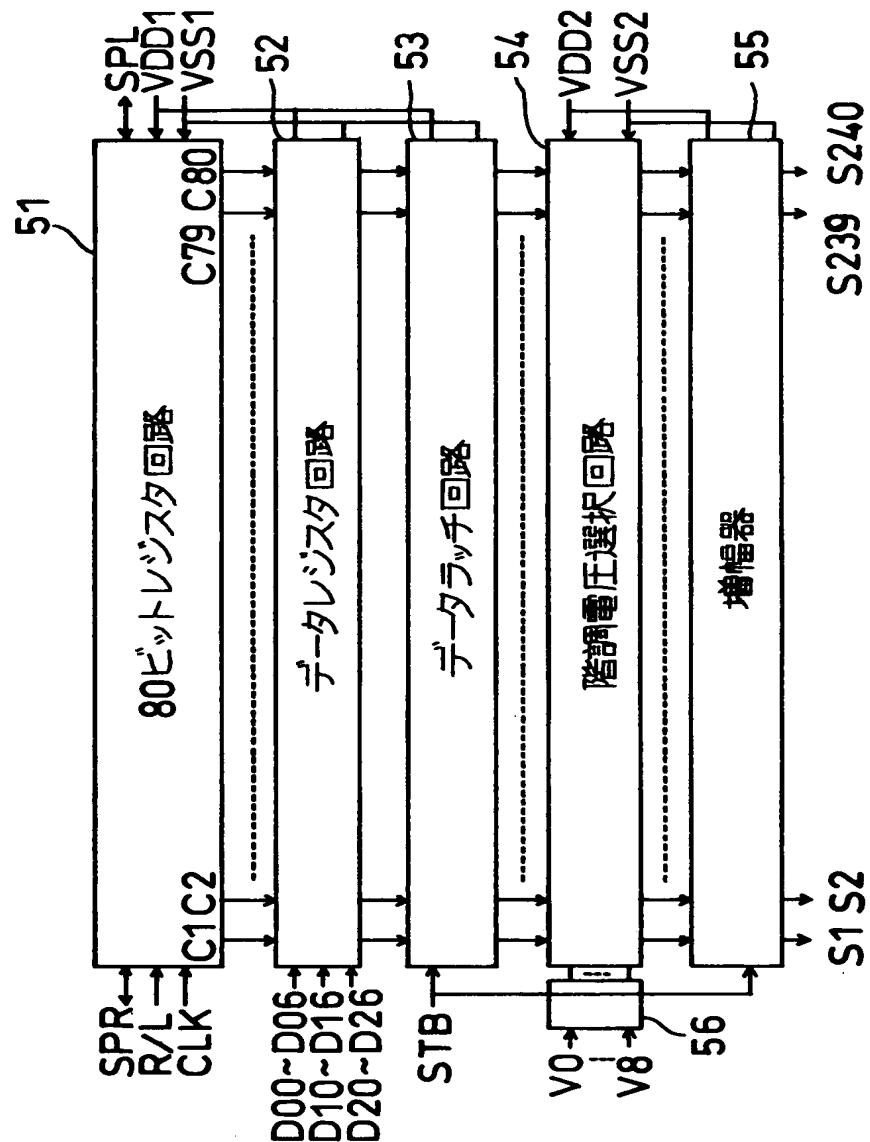


23、24：出力オフセット制御回路

【図10】



【図11】



【書類名】 要約書

【要約】

【課題】 TFT液晶等の表示装置を多階調表示するためにデジタル映像データのビット数が増加しても素子数の低減によりチップサイズを縮小することができ、テストコストを低減することができる表示装置の駆動回路を提供する。

【解決手段】 表示装置の駆動回路には、複数の電圧を発生する階調電圧発生回路6と、前記デジタル映像データの最上位から1又は2以上のビットからなりビット数が前記デジタル映像データのそれより少ない上位ビットに関連付けて階調電圧発生回路6から供給された複数の電圧から1の電圧を選択して出力する階調電圧選択回路7及び8と、この階調電圧選択回路7及び8から出力された電圧のインピーダンス変換を行う演算増幅器と、前記デジタル映像データの前記上位ビットを除いた下位ビットに関連付けて前記演算増幅器から出力された電圧に電圧上昇又は電圧降下を生じさせる電圧調整手段と、が設けられている。

【選択図】 図1

認定・付加情報

特許出願の番号 平成11年 特許願 第037828号  
受付番号 59900134041  
書類名 特許願  
担当官 第一担当上席 0090  
作成日 平成11年 2月19日

＜認定情報・付加情報＞

【提出日】 平成11年 2月16日

次頁無

出願人履歴情報

識別番号 [000004237]

1. 変更年月日 1990年 8月29日

[変更理由] 新規登録

住 所 東京都港区芝五丁目7番1号

氏 名 日本電気株式会社